САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

по заданию lab9

Дисциплина

«Технологии проектирования аппаратных средств компьютерных систем»

выполнил:

Курякин Д. А

группа:

преподаватель:

Антонов А. П.

Санкт-Петербург

2022

Оглавление

[1 Задание lab9 3](#_Toc104488989)

[1.1 Задание 3](#_Toc104488990)

[1.2 Описание на языке System Verilog 3](#_Toc104488991)

[1.3 Результат синтеза (RTL) 7](#_Toc104488992)

[1.4 Моделирование 7](#_Toc104488993)

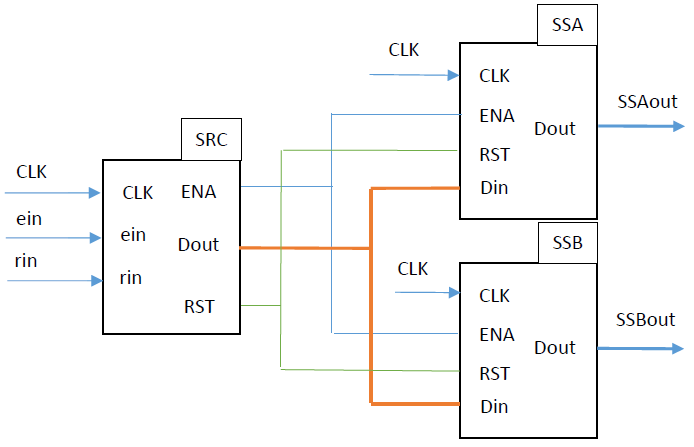
[1.5 Назначение выводов СБИС 8](#_Toc104488994)

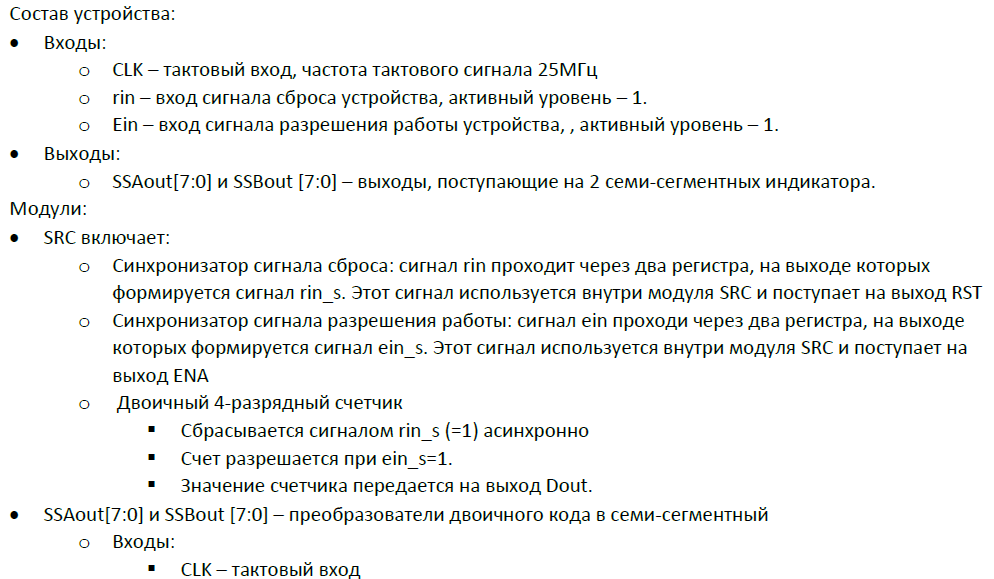
[1.6 Тестирование на плате Nexys4 DDR 8](#_Toc104488995)

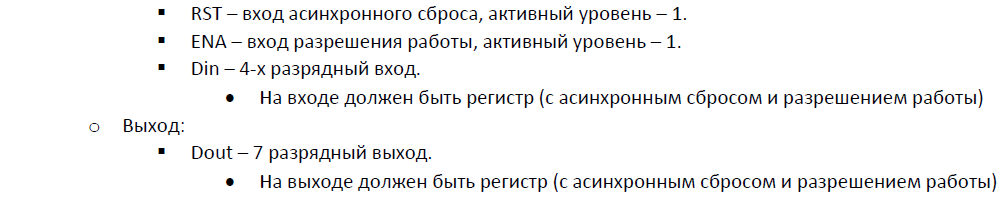
[1.7 Выводы 8](#_Toc104488996)

# Задание lab9

## Задание







## Описание на языке System Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже листингах 1–2.

Листинг 1. Lab9\_1.sv

|  |
| --- |
| `timescale 1ns / 1ps  interface lab\_bus(  input logic clk, ein, rin  );  bit ena, rst;  modport master(  input clk, ein, rin,  output ena, rst  );  modport salve(  input clk, ena, rst  );  endinterface  module Lab9\_1(  input clk, ein, rin,  output bit [6:0] SSAout, SSBout,  output [3:0] an  );  logic [3:0] dout;  assign an = 4'b0011;  lab\_bus b(.\*);  src SRC(.bus(b.master), .dout);  ss SSA(.bus(b.salve), .din(dout), .SSout(SSAout));  ss SSB(.bus(b.salve), .din(dout), .SSout(SSBout));  endmodule |

Листинг 2. src.sv

|  |
| --- |
| `timescale 1ns / 1ps  module src(  lab\_bus.master bus,  output [3:0] dout  );  bit rst\_s, ena\_s;  bit [3:0] counter = 0;  always\_ff @(posedge bus.clk) begin  rst\_s <= bus.rin;  bus.rst <= rst\_s;    ena\_s <= bus.ein;  bus.ena <= ena\_s;  end  always\_ff @(posedge bus.clk, negedge rst\_s) begin  if(rst\_s) begin  counter = 0;  end else begin  if (ena\_s)  counter++;  end  end  assign dout = counter;  endmodule |

Листинг 3. ss.sv

|  |
| --- |
| `timescale 1ns / 1ps  module ss(  lab\_bus.salve bus,  input [3:0] din,  output bit [6:0] SSout  );  bit [6:0] out\_s;  bit [6:0] ss\_arr[15:0];    initial begin  ss\_arr[0] = 7'h40; //0  ss\_arr[1] = 7'h79; //1  ss\_arr[2] = 7'h24; //2  ss\_arr[3] = 7'h30; //3  ss\_arr[4] = 7'h19; //4  ss\_arr[5] = 7'h12; //5  ss\_arr[6] = 7'h02; //6  ss\_arr[7] = 7'h78; //7  ss\_arr[8] = 7'h00; //8  ss\_arr[9] = 7'h10; //9  ss\_arr[10] = 7'h08; //A  ss\_arr[11] = 7'h03; //B  ss\_arr[12] = 7'h46; //C  ss\_arr[13] = 7'h21; //D  ss\_arr[14] = 7'h06; //E  ss\_arr[15] = 7'h0e; //F  end  always\_ff @(posedge bus.clk, negedge bus.rst) begin  if(bus.rst) begin  out\_s <= 0;  end else begin  if (bus.ena) begin  out\_s <= ss\_arr[din];  SSout <= out\_s;  end  end  end  endmodule |

Листинг 4. db\_Lab9\_1.sv

|  |
| --- |
| `timescale 1ns / 1ps  module db\_Lab9\_1(input clk);  logic clk;  logic ein;  logic rin;  logic [6:0] SSAout, SSBout;  logic [3:0] an;  Lab9\_1 LAB(.\*);  vio\_0 VIO(.clk, .probe\_out0(ein), .probe\_out1(rin));  ila\_0 ILA(.clk, .probe0(SSAout), .probe1(SSBout), .probe2(an));  endmodule |

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog приведен ниже, на рис 1-1.

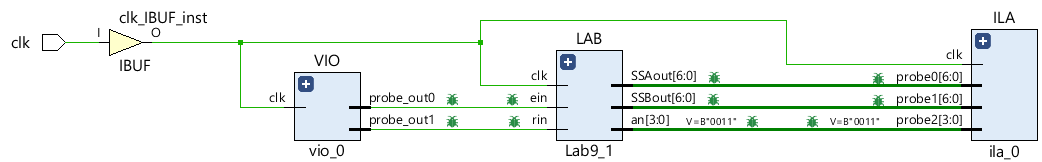


Рис. ‑1 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались тесты представленные в листингt 3:

Листинг 3. tb\_Lab9\_1.sv

|  |
| --- |
| `timescale 1ns / 1ps  module tb\_Lab9\_1();  logic clk = 1;  logic ein = 1;  logic rin = 0;  logic [6:0] SSAout, SSBout;  logic [3:0] an;  Lab9\_1 LAB(.\*);  always #10 clk=~clk;  initial begin  #200;  ein = 0;  #100;  ein = 1;  #100;  rin = 1;  #50;  rin = 0;  #250;  end  endmodule |

Результаты моделирования приведены на Рис. 1‑2

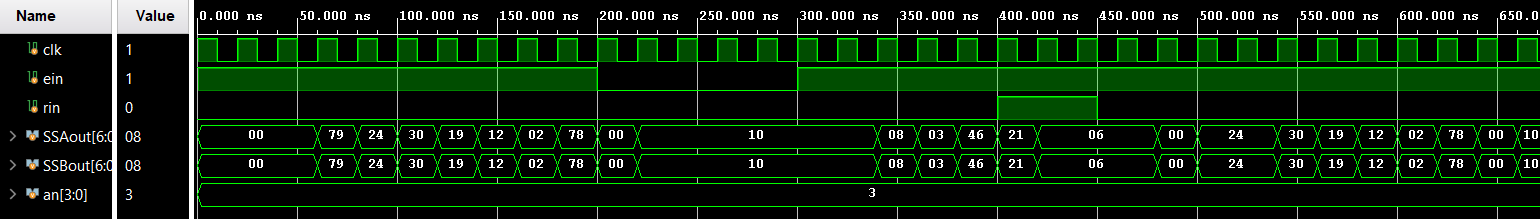


Рис. ‑2 Результат моделирования

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода приведено на Рис. 1‑3

Изображение выглядит как стол

Автоматически созданное описание

Рис. ‑3 Назначение выводов

## Тестирование на плате Nexys4 DDR

Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4. Проведенное на плате Nexys4 DDR тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В результате было реализовано устройство, описанное в лабораторной работе.